

Optimasi Area Rangkaian Terintegrasi pada Router Jaringan On-Chip dengan Konsep Arsitektur Modular

Faizal Arya Samman

Universitas Hasanuddin, Fakultas Teknik, Jurusan Teknik Elektro

Kampus Tamalanrea, Jl. Perintis Kemerdekaan Km. 10

Makassar 90245

Email: faizalas@unhas.ac.id

Abstrak

Paper ini menunjukkan langkah-langkah optimasi struktur interkoneksi input-output (IO) pada router-router yang digunakan pada jaringan on-chip dalam aplikasi sistem prosesor multicore. Hasil optimasi ini akan memperkecil area rangkaian terintegrasi sehingga berpotensi menurunkan konsumsi daya statik dari rangkaian terintegrasi router jaringan on-chip. Dengan menggunakan kaidah aturan belokan aliran data (turn model) yang berlaku pada sebuah algoritma routing deterministik maupun algoritma routing adaptif, maka beberapa jalur data dan jalur-jalur sinyal kendali pada struktur interkoneksi IO dalam router dapat dihapuskan. Penghapusan jalur-jalur data dan sinyal kendali ini tidak mempengaruhi fungsionalitas dari router. Hasil optimasi menunjukkan bahwa router dengan algoritma routing deterministik dapat dioptimasi hingga mencapai efisiensi sebesar 21%, dimana proses sintesis rangkaian logika dari router tersebut menggunakan teknologi sel-sel logika standard (standard-cell technology) dengan fitur transistor CMOS (Complementary Metal Oxide Silicon) 130 nm.

Kata-kata Kunci

Jaringan On-Chip,

Testbench,

Bahasa Deskripsi Perangkat Keras (VHDL),

Algoritma Routing,

Rangkaian Terintegrasi.